

# BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097703

(43)Date of publication of application : 12.04.1996

51)Int.Cl.

H03K 19/0175

H03F 1/52

H03K 17/687

H03K 19/003

(21)Application number : 06-228192

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.09.1994

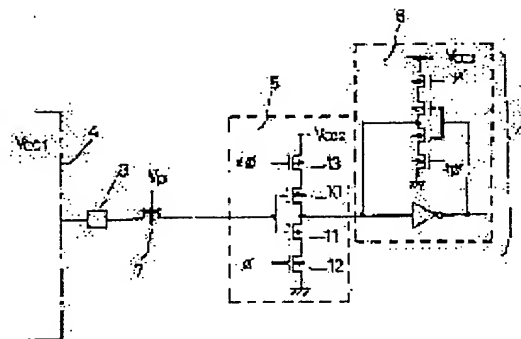
(72)Inventor : MATSUDA JUNICHI  
KURIHARA ISAMU

### 54) SEMICONDUCTOR INTEGRATED CIRCUIT

#### 57)Abstract:

**PURPOSE:** To secure high reliability by providing an N-channel path transistor(TR) between an input terminal and an input circuit and applying a voltage equal to a power supply voltage to a gate of the path TR so as to prevent application of a voltage exceeding a permissible range to the integrated circuit designed to be operated at a low voltage.

**CONSTITUTION:** An N-channel path TR 7 is provided between an input terminal 3 of a low voltage semiconductor integrated circuit and an input circuit 1 and a voltage equal to a power supply voltage Vcc2 is fed to a gate of the path TR 7. Through the constitution above, even when a voltage of Vcc1 (5V) is applied to an input output terminal 3 from other semiconductor integrated circuit 4, since a maximum voltage applied to input TRs 10, 11 is as low as Vcc2(3.3V)-Vt through the provision of the N-channel path TR 7, a problem of the reliability of a gate oxide film is solved, where Vt is a threshold voltage of the path TR 7.



### LEGAL STATUS

[Date of request for examination] 28.09.2000

[Date of sending the examiner's decision of rejection] 25.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97703

(43) 公開日 平成8年(1996)4月12日

(51) Int. Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
H 0 3 F 1/52		Z 8943-5 J		
H 0 3 K 17/687				
			H 0 3 K 19/ 00	1 0 1 K
		9184-5K	17/ 687	G
			審査請求 未請求 請求項の数 3	〇 L (全 4 頁) 最終頁に続く

(21) 出願番号 特願平6-228192

(22) 出願日 平成6年(1994)9月22日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 松田 順一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 栗原 勇

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

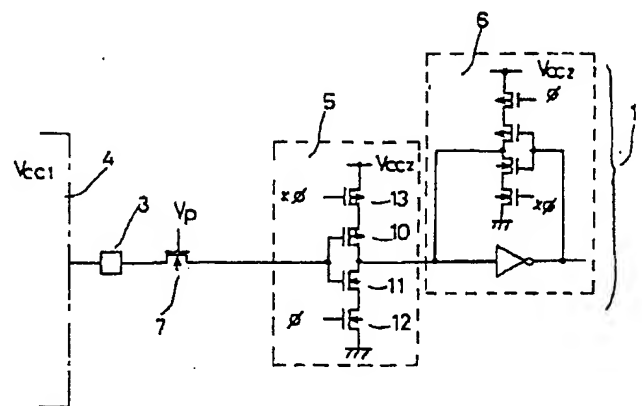
(74) 代理人 弁理士 岡田 敬

## (54) 【発明の名称】 半導体集積回路

## (57) 【要約】

【目的】 電源電圧の異なる半導体集積回路を接続する場合に、低電圧の集積回路の入力回路に許容範囲を超える電圧が加えられることを防止し、高信頼性を確保すること。

【構成】 低電圧の半導体集積回路の入力端子3と、入力回路1との間にNチャネル型のパス・トランジスタ7を設け、そのパス・トランジスタ7のゲートに電源電圧V<sub>cc2</sub>と等しい電圧を供給する。



## 【特許請求の範囲】

【請求項 1】 電源電圧が相対的に高い他の半導体集積回路（電源電圧： $V_{cc1}$ ）から供給される入力電圧  $V_{in}$  が印加される入力端子と、該入力端子に接続された入力回路と、前記入力回路の一部を構成し前記入力電圧  $V_{in}$  がゲートに印加される入力トランジスタと、を有する半導体集積回路（電源電圧： $V_{cc2}$ ）において、前記入力端子と前記入力回路との間に N チャネル型のバス・トランジスタを設け、該バス・トランジスタのゲートに電源電圧  $V_{cc2}$  と等しい電圧を供給することを特徴とする半導体集積回路。

【請求項 2】 電源電圧が相対的に高い他の半導体集積回路（電源電圧： $V_{cc1}$ ）から供給される入力電圧  $V_{in}$  が印加される入力端子と、該入力端子に接続された入力回路と、前記入力回路の一部を構成し前記入力電圧  $V_{in}$  がゲートに印加される入力トランジスタと、を有する半導体集積回路（電源電圧： $V_{cc2}$ ）において、前記入力端子と前記入力回路との間に N チャネル型のバス・トランジスタを設け、該バス・トランジスタのゲートに電源電圧  $V_{cc2}$  より大きく、前記他の半導体集積回路の電源電圧  $V_{cc1}$  以下の電圧  $V_p$  ( $V_{cc2} < V_p \leq V_{cc1}$ ) を供給することを特徴とする半導体集積回路。

【請求項 3】 バス・トランジスタのゲートに供給される電圧  $V_p$  を、電源電圧  $V_{cc2}$  を昇圧する昇圧回路と、該昇圧回路の出力に接続され、その昇圧された電圧を一定範囲に保持するためのポンプ回路と、該ポンプ回路に動作クロックを供給するリングオシレータとから成る回路により発生させることを特徴とする請求項 2 記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関するものである。近年、DRAM 等において、消費電力の低減やホットキャリア効果の抑制等のために電源電圧を従来の 5 V から 3.3 V に下げることが行われつつある。しかし現在のところ、5 V から 3.3 V への移行期であることから、このような低電圧の DRAM 等と 5 V 系の半導体集積回路（例えば、マイクロコンピュータ）とを接続して 1 つのシステムを構成することが行われる。この場合、低電圧の DRAM 等の入力回路には、許容電圧を超える入力電圧が加えられることになる。本発明は、このような電源電圧の異なる半導体集積回路を接続する場合に、入力回路部分に工夫を施して、安定なインターフェイスをとれるようにしたものである。

## 【0002】

【従来の技術】 従来の半導体集積回路を図 4 に示す。図において、1 は入力回路であり、入力端子 3 に接続されている。入力端子 3 は他の集積回路 4 と接続されている。入力回路 1 は、クロックド・インバータ 5 と、クロ

ックド・インバータ 5 の出力を受け一時的に入力データを保持するラッチ回路 6 とから成る。クロックド・インバータ 5 は、入力電圧  $V_{in}$  がゲートに印加される入力トランジスタ 10、11 と、入力制御信号  $\phi$  とその反転信号  $\bar{\phi}$  によって制御された制御トランジスタ 12、13 とで構成されている。

【0003】 上記の半導体集積回路の電源電圧  $V_{cc2}$  は、例えば 3.3 V であり、他の半導体集積回路 4 の電源電圧  $V_{cc1}$  は、例えば、5 V である。次に、上記回路の動作を説明する。まず、入力モードにおいて、入力制御信号  $\phi$  が H レベルになり、クロックド・インバータ 5 が活性化して、入力端子 3 に印加された入力電圧がクロックド・インバータを介して内部回路へ入力される。

【0004】 次に、入力制御信号  $\phi$  は L レベルとなり、クロックド・インバータ 5 は不活性になり、入力禁止状態となる。それ以前に入力されたデータは、ラッチ回路 6 によって保持される。

## 【0005】

【発明が解決しようとする課題】 しかしながら、クロックド・インバータ 5 を構成している入力トランジスタ 10、11 のゲートには、他の半導体集積回路の電源電圧  $V_{cc1}$  である 5 V の電圧が直接印加されこととなり、入力トランジスタ 10、11 のゲート酸化膜の信頼性が劣化するという問題がある。これは、低電圧の半導体集積回路では、比較的薄いゲート酸化膜が採用されるからである。

【0006】 本発明は、上記の課題に鑑みてなされたものであり、電源電圧の異なる半導体集積回路を接続する場合に、入力回路に工夫を施して、信頼性の高いインターフェイスをとれるようにしたものである。

## 【0007】

【課題を解決するための手段】 請求項 1 に係る発明は、低電圧の半導体集積回路の入力端子 3 と、入力回路 1 との間に N チャネル型のバス・トランジスタ 7 を設け、該バス・トランジスタ 7 のゲートに電源電圧  $V_{cc2}$  と等しい電圧を供給したものである。また、請求項 2 に係る発明は、入力端子 3 と入力回路 1 との間に N チャネル型のバス・トランジスタ 7 を設け、該バス・トランジスタ 7 のゲートに電源電圧  $V_{cc2}$  より大きく、他の半導体集積回路 4 の電源電圧  $V_{cc1}$  以下の電圧  $V_p$  ( $V_{cc2} < V_p \leq V_{cc1}$ ) を供給したものである。

## 【0008】

【作用】 請求項 1 に係る発明によれば、入力端子 3 に  $V_{cc1}$  (5 V) の電圧が印加されても、バス・トランジスタ 7 により、入力トランジスタ 10、11 に加わる最大電圧は、 $V_{cc2}$  (3.3 V) -  $V_t$  と低くなるので、ゲート酸化膜の信頼性の問題を解消することができる。ここで、 $V_t$  は、バス・トランジスタ 7 のしきい値電圧であり、例えば、 $V_t$  が 0.5 V のとき、当該電圧は 2.8 V となる。

【0009】請求項2に係る発明は、バス・トランジスタ7のインピーダンスを下げ、データ入力動作の高速化を図ったものである。すなわち、この発明によれば、バス・トランジスタ7のゲートに電源電圧 $V_{cc2}$ より大きく、他の半導体集積回路4の電源電圧 $V_{cc1}$ 以下の電圧 $V_p$  ( $V_{cc2} < V_p \leq V_{cc1}$ ) を供給しているので、入力トランジスタ10、11に加わる最大電圧は、 $V_p - V_t$ となる。したがって、ゲート酸化膜の信頼性に影響しない範囲内で、バス・トランジスタ7のインピーダンスを下げる事が可能となる。例えば、 $V_p$  10を4Vに設定すると、当該電圧は3.5Vとなる。

#### 【0010】

【実施例】以下で、本発明の半導体集積回路の実施例を図1乃至図3を参照しながら説明する。

##### (1) 第1の実施例

図1に示すように、半導体集積回路の入力端子3と、入力回路1との間にNチャネル型のバス・トランジスタ7を設け、該バス・トランジスタ7のゲート電圧 $V_p$ に電源電圧 $V_{cc2}$ と等しい電圧を供給した点が特徴である。このバス・トランジスタ7は、常時オン状態のシングル・チャンネルのトランスミッション・ゲートと同じ動作をする。他の回路構成は、従来例と同じであり、半導体集積回路の電源電圧を $V_{cc2}$  (3.3V)、これに接続される他の半導体集積回路4の電源電圧を $V_{cc1}$  (5V) としてゐる。

【0011】本実施例によれば、他の半導体集積回路4から、入出力端子3に $V_{cc1}$  (5V) の電圧が印加されても、Nチャネル型のバス・トランジスタ7を設けたことにより、入力トランジスタ10、11に加わる最大電圧は、 $V_{cc2}$  (3.3V) -  $V_t$ と低くなるので、ゲート酸化膜の信頼性の問題を解消することができる。ここで、 $V_t$ は、バス・トランジスタ7のしきい値電圧である。したがって、例えば、 $V_t$ が0.5Vのとき、当該電圧は2.8Vとなる。

##### 【0012】(2) 第2の実施例

第1の実施例では、バス・トランジスタ7を設けたことにより、入出力インピーダンスが増加し、データの入力速度が遅くなってしまう。そこで、本実施例では、バス・トランジスタ7のゲート電圧 $V_p$ を適当な範囲内で $V_{cc2}$ から昇圧し、低インピーダンス化を図った。そのゲート電圧 $V_p$ は、電源電圧 $V_{cc2}$ より大きく、他の半導体集積回路4の電源電圧 $V_{cc1}$ 以下の電圧 ( $V_{cc2} < V_p \leq V_{cc1}$ ) としている。このような設定によれば、入力トランジスタ10、11に加わる最大電圧は、 $V_p - V_t$ となる。したがって、ゲート酸化膜の信頼性に影響しない範囲内で、バス・トランジスタ7のインピーダンスを下げる事が可能となる。例えば、 $V_t = 0.5V$ とすると、 $V_p$ を4Vに設定した場合には、当該電圧は3.5Vとなる。また、 $V_p = V_{cc1}$  (5V) に設定した場合には、当該電圧は4.5Vとなると

いった如くである。ゲート酸化膜の信頼性と低インピーダンス化とのかね合いを考慮すると、 $V_p$ を4V程度に設定するのが最も適している。

【0013】 $V_p$ の発生方法としては、昇圧回路を使うことができる。その一例の回路を図2に示す。本回路は、昇圧信号 $\phi_p$ の立ち上がりを受けて、電源電圧 $V_{cc2}$ を、 $(1+\alpha)V_{cc2} - V_t$ という電圧へ昇圧する昇圧回路20と、昇圧回路20の出力 $V_p$ に接続され、その昇圧された電圧を保持するためのポンプ回路21と、ポンプ回路21にクロックを供給するリングオシレータ22と、から成る。ここで、 $V_t$ は、Nチャネル型MOSトランジスタ23のしきい値である。23、25、26、28、29、30は、いずれもNチャネル型MOSトランジスタであり、24はPチャネル型MOSトランジスタ、27、31はカップリング・コンデンサである。また、 $\alpha$ はカップリング容量 $C_1$ とノードBにおける寄生容量 $C_2$ との分割比で定まる値である ( $1 < \alpha < 1$ )。

【0014】図3は、本回路の動作を示すタイミング図である。昇圧信号 $\phi_p$ が $V_{cc2}$ へ立ち上がると、カップリング・コンデンサ27を介して、ノードBが $V_{cc2} - V_t$ から、 $(1+\alpha)V_{cc2} - V_t$ へ変化する。トランジスタ24はオン状態であるので、 $V_p$ には、 $(1+\alpha)V_{cc2} - V_t$ が出力される。また、リーク電流等により $V_p$ が低下した場合には、ポンプ回路21が働き、 $V_p$ は $(1+\beta)V_{cc2} - 2V_t$ という電圧に保持される。なお、 $\beta$ はカップリング容量 $C_3$ と寄生容量 $C_4$ との分割比で定まる値である ( $1 < \beta < 1$ )。このようにして、 $V_p$ は、所定の電圧範囲に保持される。

#### 【0015】

【発明の効果】以上説明したように、本発明の半導体集積回路によれば、バス・トランジスタ7を設け、そのゲートに電源電圧 $V_{cc2}$ を加えたことにより、入力端子3に $V_{cc1}$  (5V) の電圧が印加されても、バス・トランジスタ7により、入力トランジスタ10、11に加わる最大電圧は、 $V_{cc2}$  (3.3V) -  $V_t$ と低くなるので、ゲート酸化膜の信頼性の問題を解消することができる。これにより、低電圧の半導体集積回路と通常電圧の半導体集積回路とのインターフェイスをとる場合に、低電圧の半導体集積回路の信頼性を確保することが可能となる。

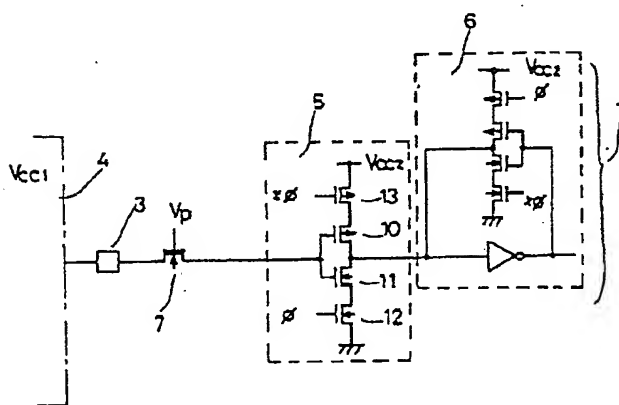
【0016】また、バス・トランジスタ7のゲートに電源電圧 $V_{cc2}$ より大きく、他の半導体集積回路4の電源電圧 $V_{cc1}$ 以下の電圧 $V_p$  ( $V_{cc2} < V_p \leq V_{cc1}$ ) を供給することにより、入力トランジスタ10、11に加わる最大電圧は、 $V_p - V_t$ となる。したがって、ゲート酸化膜の信頼性に影響しない範囲内で、バス・トランジスタ7のインピーダンスを下げ、データの入力速度の低下を極力抑えることができる。

6

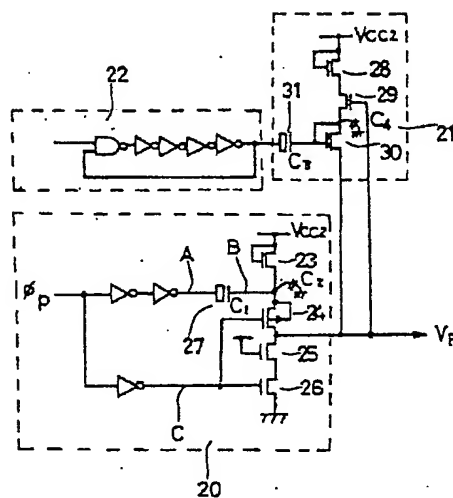
1 入力回路  
3 入力端子

22 リングオシレータ

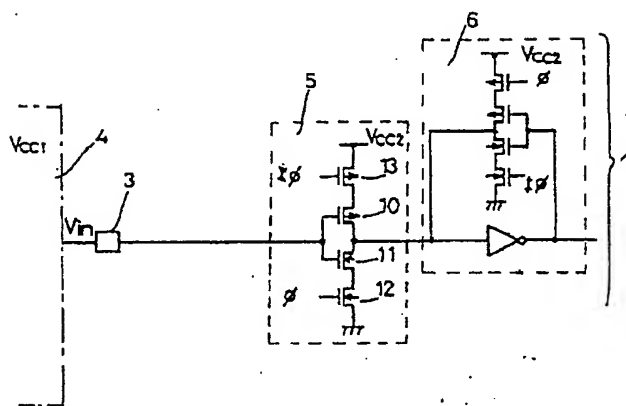
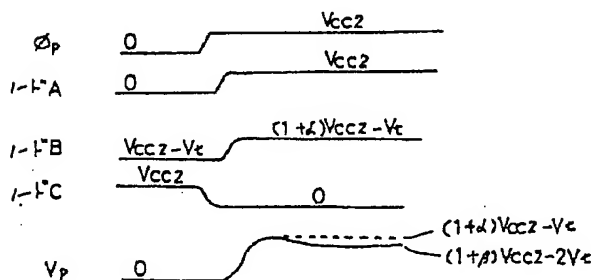
【图2】



【图 3】



【図 4】



### 技術表示箇所